

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

** Result [P] ** Format(P801) 02.24 1/ 1

Application no/date: 1984-274831[1984/12/28]
Date of request for examination: [1990/ 3/23]
Accelerated examination ()
Public disclosure no/date: 1986-156187 ~~Transmittal~~ [1986/ 7/15]
Examined publication no/date (old law): 1994- 5478 ~~Transmittal~~ [1994/ 1/19]
Registration no/date: 2122713[1996/12/20]
Examined publication date (present law): (1998/ 3/20)
PCT application no:
PCT publication no/date: []

Applicant: CANON INC

Inventor: INOUE YUJI, OSADA YOSHIYUKI, KOMATA TOMOJI, YAMASHITA NOBUITSU

IPC: G09G 3/34 G02F 1/133 550

FI: K01L 29/78 G02F 1/136 505 H01L 27/12 E

G09G 3/34 G09F 9/33 332 G02F 1/136 505 H01L 29/78 311A
G02F 1/133 350 G09F 9/33 H01L 27/12 H01L 29/78 312Z
H01L 37/12 G02F 1/136 G02F 1/136

F-Term: SC006EB05, BC04, EB04, EB05, 5F040AA51, BB12, 5C094AA15, AA42, AA44, AA45, BA03, BA43, CA19, CA24, DA09, DB10, EA08, 5F040EB12, 2H092AA07, AA10, AA19, AA28, AA55, CA24, CA26, DA07, EA12, 2H093NA16, NC09, NC12, NC13, NC22, NC23, NC24, NC26, NC34, ND42, ND49, ND53, ND54, NE07, 5C006AA22, AF41, AF43, AF71, AF81, BA12, BB16, BC12, BC13, BC16, BC22, BC23, BF03, BF04, BF11, BF25, BF31, BF37, FA15, FA21, FA43, FA51, FA52

Expanded classification: 449, 242, 422

Fixed keyword: R005, K01L, R097

Citation:

[19,1992. 5.29.04] (04,JP,Unexamined Patent Publication,1983203486)
[19,1993. 2.25.] ()
[07,1994. 4.11.04] (04,JP,Unexamined Patent Publication,1982201295)
[07,1994. 4.11.04] (04,JP,Unexamined Patent Publication,1982100467)
[07,1994. 4.17.04] (04,Foreign Book,IEEE CONFERENCE RECORD OF 1972 CONFERENCE ON DISPLAY DEVICES=1972M10D11-120P64-66)
[07,1994. 4.17.04] (04,Foreign Magazine/Journal,IEEE TRANSACTIONS ON ELECTRON DEVICES=1977M7@VOL.ED-24@N7@P896-902)
[07,1994. 4.18.05] (05,JP,Unexamined Patent Publication,1984083198)

Title of invention: ACTIVEMATRIX CIRCUIT BOARD

Abstract: Picture signal line is divided every block, bonding number with an outside driving circuit of a signal line is reduced by it is switching element, and a signal line every each block is commonized, and controlling picture signal.

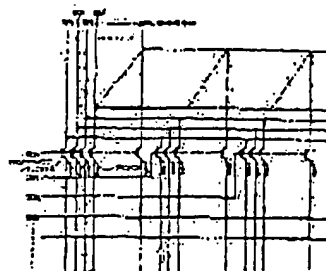
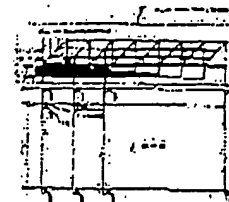
n ? m Active matrix circuit 5 is established on base plate same as N ? M Active matrix type liquid crystal display.

As for circuit 5, anode gate suchingutoranjisuca (A.S. transistor) for picture signal 6, capacitance 7 for picture signal sample hold, a latch to A.S. transistor 6 comprise switching businass signal line g (1)-g (n) of done picture signal line S (1)-S (m) .A.S. transistor 6, it is done for the purpose of it being in the matrix layout which commonized a signal line of M book in m book

A.

S.

Transistor 6 holds the on next picture signal to capacitance 7 between ? t every each timing, if 1 of picture element scanning beam of display 1 becomes on, picture signal is transmitted to picture element.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭61-156187

⑫ Int.Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和61年(1986)7月15日
 G 09 F 9/30 6615-5C
 G 02 F 1/133 118 D-8205-2H
 G 09 G 3/36 7436-5C
 // H 01 L 27/12 7514-5F
 29/78 8422-5F 審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 アクティブマトリクス回路基板

⑮ 特 願 昭59-274831

⑯ 出 願 昭59(1984)12月28日

⑰ 発 明 者 井 上 裕 司 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑱ 発 明 者 長 田 秀 幸 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲ 発 明 者 小 俣 智 司 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑳ 発 明 者 山 下 伸 逸 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ㉑ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ㉒ 代 理 人 弁理士 豊田 香雄

明 細 書

1. 発明の名称

アクティブマトリクス回路基板

2. 特許請求の範囲

1) 信号線を、ブロック毎に分割し、各ブロック毎の信号線を、スイッチング素子で共通化したことを特徴とするアクティブマトリクス回路基板。

2) 前記各ブロック毎のスイッチング素子で信号をサンプルホールドする特許請求の範囲第1項記載のアクティブマトリクス回路基板。

3) 上記スイッチング素子をアクティブマトリクス回路基板と画素毎のスイッチング素子とを同一な版上に一体形成することを特徴とする特許請求の範囲第1項記載のアクティブマトリクス回路基板。

3. 発明の詳細な説明

【産業上の利用分野】

本発明はアクティブマトリクス回路基板の信号

線の構成に関するものである。

【従来の技術】及び【発明が解決しようとする問題点】

アクティブマトリクス回路基板の代表的なものとして薄膜トランジスタ(以下TFTと略す)をアナログスイッチング素子として用いた液晶表示装置が考えられる。この液晶表示装置は近年、高密度化、大面積化が進み、その信号線は2000本近くにもなっており、外部回路との結線の問題と、駆動用ICの増大という問題が深刻化し、歩留り低下やコスト高を招いている。

第7図は従来のアクティブマトリクス型液晶表示装置の一例を示したものである。図中1は、表示部で、AMNは、画素駆動用TFTスイッチング素子、2は、信号線駆動回路、3は、走査線駆動回路である。4は、表示部1と信号線駆動回路2との接続部である。

また、第8図は、表示部1の信号線S(1)~S(N)に与えるべく信号線駆動回路2でサンプルホールドされた映像信号と、走査線G(1)~G(N)信号との

特開昭61-156187(2)

タイミング図を要するものである。走査線数 \times 信号線を $N \times M$ のマトリクスで構成した場合、接続線4は M ヶ所あることになる。を底に因しては、たとえば走査線数 $N = 180$ 本、アスペクト比3:4、画面サイズ対角7インチの液晶フルカラーテレビを考えた場合、信号線数 $M = 1920$ 、画面の横の長さ l は、

$$l = 7 \times 25.4 \text{ mm} \times \frac{4}{3} = 142 \text{ mm}$$

よって信号線密度 d は

$$d = \frac{M}{l} = \frac{1920}{142} = 13.5 \text{ 本/mm}$$

M は、赤(R)、緑(G)、青(B)各色用信号線の和でR、G、Bで一画面とすれば画面の信号線密度は $N \times M / 3$ マトリクスである。

となり 1 mm 当り13.5本の密度となる。

従来、この高密度且つ多数の信号線を外部の信号線駆動回路2と接続するために実装の信頼性、歩留りの低下、又、外装駆動用ICの増大に伴うコスト高が問題となった。また、これらICを搭載するために基板サイズが大きくなり、表示部に比べ外部回路部が大きいというアンバランスも問題となっていた。

本発明は上記従来技術の問題点に鑑みなされたもので、アクティブマトリクス回路基板の信号線の外部駆動回路との接続数を減らし、実装の簡素化、歩留りの向上、実装コストの低減を図るとともに、外部信号線駆動用ICの個数の低減、前記外部駆動回路の小規模、コンパクト化、それに伴うコストの低減を図ることを目的とするものである。

【問題点を解決するための手段】及び【作用】

本発明は、映像信号線をブロック毎に任意の本数に分割し、各ブロック毎の信号線をスイッチング素子で共通化して映像信号を調製するものである。すなわち、 M 本の映像信号線を、 m 本ずつの共通化した映像信号線から成る n ブロックから成るマトリクス回路で置き換えたものである。このため従来に比べ信号線の接続本数は著しく減少する。

【実施例】

第1図は本発明の実施例であり、第7図に示した回路を用いると第4図の関係となる。さらに詳しく見てみると、まず第3図において、入力されたアナログ映像信号9が ϕ_1 のタイミングで出力されると、シフトレジスタ8からのパルスでトランジスタ10でサンプリングされ、コンデンサ11でホールドされ、さらにソースフォロウバッファ12でバッファリングされる。このA/D変換された映像信号がトランジスタ13で ϕ_2 の同一タイミングでラッチされて第1図あるいは第2図の $S(1) \sim S(n)$ へ入力される。このラッチタイミング等を各々 t_1, t_2, \dots とすると第4図で示す映像信号と $S(1) \sim S(n)$ の関係となる。第2図のA.S.トランジスタ6のトランジスタは t_1, t_2, \dots, t_m の各タイミングごとに $\Delta t = t_2 - t_1 = t_3 - t_2 = \dots$ の間ONとなり各々の第3図より出力された映像信号をコンデンサ7に保持する。そして t_m のタイミングでホールドされた後映像信号の水平帰線時間、と次のラッチタイミング t_{m+1} の間の t_G の間、第1図の表示部1のトランジスタスイッチング信号線、すなわち画素走査

た $N \times M$ 画素毎にスイッチング素子を設けた $N \times M$ アクティブマトリクス型液晶表示装置と同一基板上に接続して示した $n \times m$ アクティブマトリクス回路5を設けた全体図を要する。第2図は第1図の $n \times m$ アクティブマトリクス回路5の内部を要する。図中6は、映像信号用アナログスイッチングトランジスタ（以下A.S.トランジスタと略す）、7は、映像信号サンプルホールド用コンデンサであり、 $S(1) \sim S(n)$ はA.S.トランジスタ6へのラッチされた映像信号線、 $s(1) \sim s(n)$ は、A.S.トランジスタ6のスイッチング用信号線を示す。今、第7図における M 本の信号線を m 本に共通化したマトリクス配線となる様にするると第2図の $S(1) \sim S(n)$ の信号線と $s(1) \sim s(n)$ の信号線と $n \times m$ 個のA.S.トランジスタ6及びコンデンサ7から成るマトリクス回路とすることが出来る。ただし n は1以上の整数で、 $m \geq \frac{M}{n}$ である。この時の映像信号と、第2図のA.S.トランジスタ6のトランジスタ及び、第1図の表示部1のトランジスタとのタイミングは第3図の映像信号ラ

チ回路を用いると第4図の関係となる。さらに詳しく見てみると、まず第3図において、入力されたアナログ映像信号9が ϕ_1 のタイミングで出力されると、シフトレジスタ8からのパルスでトランジスタ10でサンプリングされ、コンデンサ11でホールドされ、さらにソースフォロウバッファ12でバッファリングされる。このA/D変換された映像信号がトランジスタ13で ϕ_2 の同一タイミングでラッチされて第1図あるいは第2図の $S(1) \sim S(n)$ へ入力される。このラッチタイミング等を各々 t_1, t_2, \dots とすると第4図で示す映像信号と $S(1) \sim S(n)$ の関係となる。第2図のA.S.トランジスタ6のトランジスタは t_1, t_2, \dots, t_m の各タイミングごとに $\Delta t = t_2 - t_1 = t_3 - t_2 = \dots$ の間ONとなり各々の第3図より出力された映像信号をコンデンサ7に保持する。そして t_m のタイミングでホールドされた後映像信号の水平帰線時間、と次のラッチタイミング t_{m+1} の間の t_G の間、第1図の表示部1のトランジスタスイッチング信号線、すなわち画素走査

特開昭61-156187(3)

線の1本がONとなり画面へA/D変換された映像信号が伝送される。

以上のことを走査線数くりかえすことで一面分の映像データが各画面へ伝送され一面表示することとなる。

今、 $N = 480$, $M = 1820$ にフレーム周波数60HzのNTCSTV信号を $m = 240$ $n = 8$ で表示しようとする。1水平走査期間は63.5 μsec 水平帰線時間は11 μsec であるから、 $\Delta t \leq (63.5 - 11) / 8 = 6.56 \mu\text{sec}$ $1/G \leq (11 + 6.56) = 17.56 \mu\text{sec}$ となる。なお $g(n)$ がONとなるタイミングと $G(i)$ (1番目の走査線の意味)がONとなるタイミングを同時とすることは実際上第3図より出力された(サンプルホールドされた)映像信号を、第2図のA.S.トランジスタ6のトランジスタを介して直接画面へ伝送することになるので問題はない。こうすることで画面用スイッチングトランジスタの充電時間を長くとることができるので負荷を軽減することができ、コンパクトなトランジスタで済ませることができる。

画面用スイッチングトランジスタと同一構成であり、データ保持用コンデンサも既知の技術でトランジスタ製造プロセス内で設けることができ、あるいは配線容量等を用いた場合には不変となるので、同一基板上に設けられることは特に詳細に述べることもなく明らかである。

又、本発明は、前述の画面用のスイッチングトランジスタを設けたアクティブマトリクス液晶素子に代えて、米国特許第4387924号公報などに開示されたパッシブマトリクス型誘電性液晶素子を用いることができる。この誘電性液晶素子の信号線を、前述の方法でTFTによりブロック化し、共通化することができる。この際、誘電性液晶としては、カイラルスメクティック液晶、特にそのC相、H相、I相、J相、K相、G相、F相が適している。

【発明の効果】

以上実施例から明らかなように、従来、1820本の信号線を240本ないしは240本とすることができ、信号線密度を13.5本/mmから1.63本/mm

この時、外部映像信号処理回路、第3図、と第1図あるいは第2図の $S(1) \sim S(m)$ との接続本数は $m = 240$ 本であるので、信号線密度 d は

$$d = \frac{m}{L} = \frac{240}{142} = 1.69 \text{本/mm}$$

とすることが可能となる。第5図は、第1図又は第2図のスイッチング用信号線 $S(1) \sim S(m)$ を低密度配置した場合の一例を示す。また、第6図は $S(1) \sim S(m)$ と $g(1) \sim g(n)$ の別の低密度配置例である。この場合は信号線密度は、

$$d = \frac{240 + n}{142} = 1.75 \text{本/mm}$$

とやや密度は上がるもののわずかであり、接続本数低減効果にほとんど影響しないのに対し、第3図の外部信号処理部の12のパッファを同一性能にそろえることができるという利点がある。つまり第6図の $g(1) \sim g(n)$ の $S(1) \sim S(m)$ のマトリクス回路基板上での上下交差部からなる配線容量は同一となるため第3図の回路からのデータ変動を一様に抑えることができるので画像のバラツキを抑えやすく設計できる。

なお、分割用スイッチングトランジスタは、画

(87.5%程度)ないしは1.75本/mm(87.0%程度)と大きく抑えることができる。したがって、変数の簡素化、歩回りの向上、外部信号処理用IC個数の低減等、コスト的に有利となるばかりでなく、外部信号回路の小規模化、コンパクト化、低コスト化も可能となる。

なお、説明ではアナログの映像信号を例としたが、本発明は他の信号、例えばデジタル信号でも良く、限定されるものではない。

4. 図面の簡単な説明

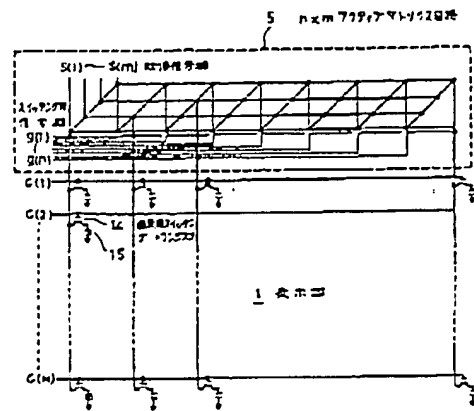
第1図は、本発明のアクティブマトリクス($N \times M$ 画素)液晶表示装置の実施例を示す説明図、第2図は、本発明の $n \times m$ マトリクス配置の M 個のアクティブマトリクス配置の部分拡大図、第3図は、本発明による m 本の信号線への映像信号出力回路図、第4図は、第1図あるいは第2図へ第3図の回路を用いた場合の映像信号と信号線と本発明で M 個配置されたスイッチング素子へのスイッチング信号と画面走査信号とのタイミング図、第5図は本発明を用いた低密度信号線配置

特開昭61-156187(4)

図、第6図は、本発明の別の実施例の低圧成色号線配置図、第7図は $N \times M$ アクティブマトリクス液晶表示装置第8図は成色線と走査線のタイミング図である。

- 1…表示部、2…成色線駆動回路、
 3…走査線駆動回路、4…比較器、
 5… $n \times m$ アクティブマトリクス回路、
 6…A.S.トランジスタ、7…コンデンサ、
 8…シフトレジスタ、9…アナログ映像信号、
 10,13…トランジスタ、11…コンデンサ、
 12…ソースフォロウバッファ、
 14…画素用スイッチングトランジスタ、
 15…画素分に相当する成色線の電気的等価回路、
 $S(1) \sim S(N)$ …成色線、 $C(1) \sim C(M)$ …走査線、
 $S(1) \sim S(n)$ …映像成色線、
 $g(1) \sim g(m)$ …スイッチング用成色線。

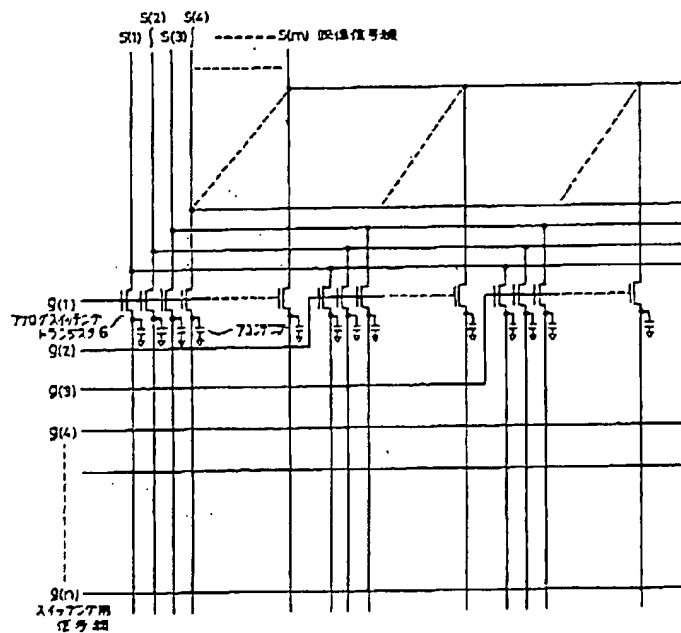
第1図



出願人 キヤノン株式会社

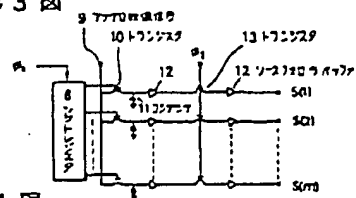
代理人 豊田 吾 雄

第2図

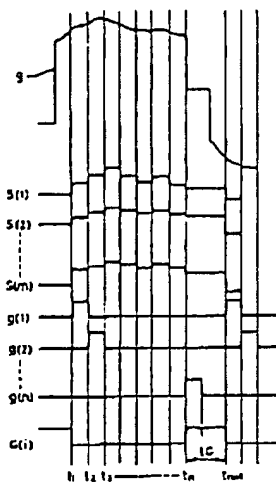


特開昭61-156187 (5)

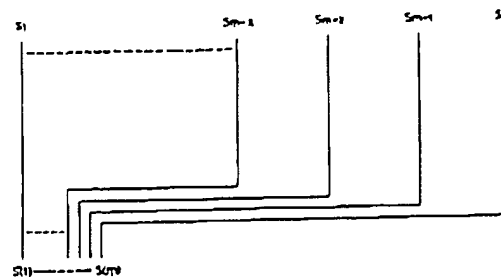
第3図



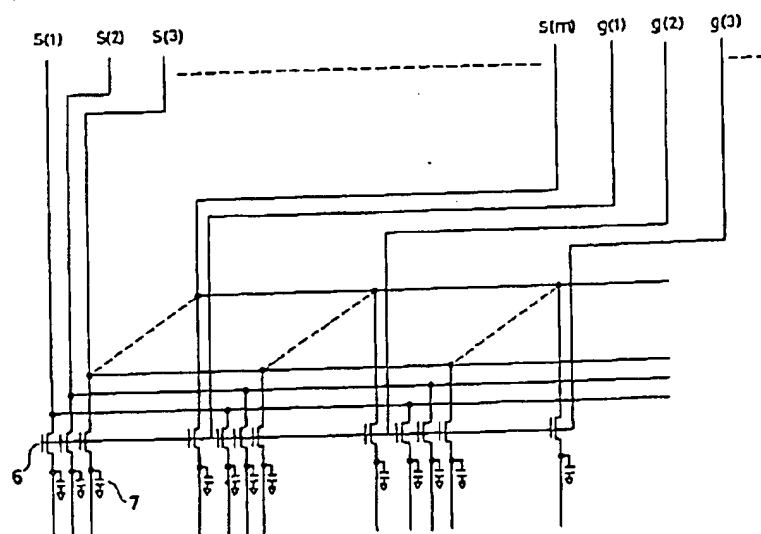
第4図



第5図

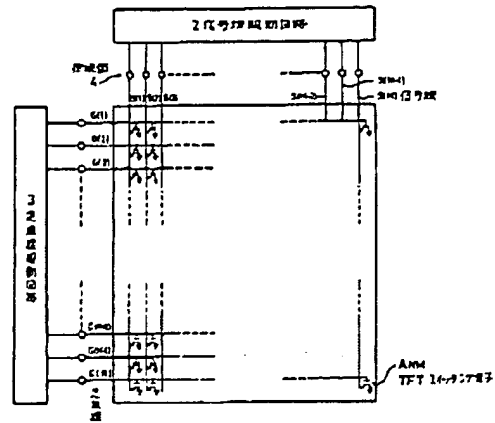


第6図



特開昭 61-156187 (B)

第 7 図



第 8 図

